

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年 12 月 7 日 (07.12.2000)

PCT

(10) 国際公開番号
WO 00/74222 A1

(51) 国際特許分類: H02M 7/48, 7/5387, H02P 7/29

(21) 国際出願番号: PCT/JP99/02807

(22) 国際出願日: 1999 年 5 月 27 日 (27.05.1999)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 関 邦夫 (SEKI, Kunio) [JP/JP]; 〒187-8588 東京都小平市上水本町五

丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 根岸立弥 (NEGISHI, Tatsuya) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

(74) 代理人: 弁理士 徳若光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭5丁目16番8号 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

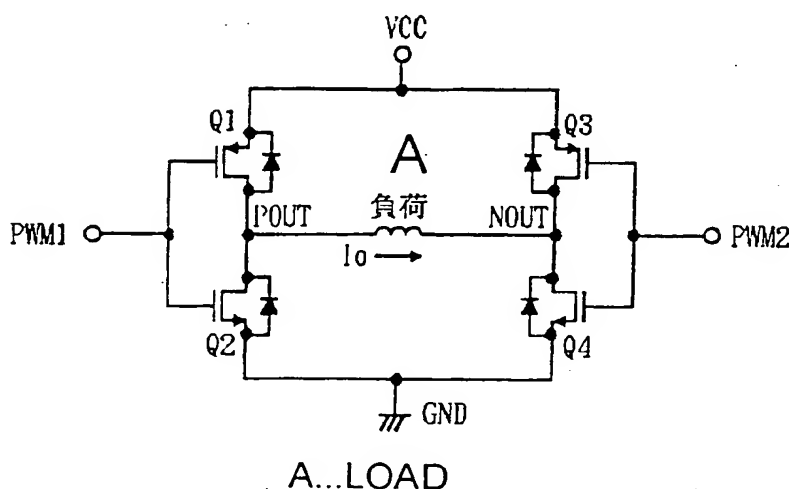
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: H-TYPE BRIDGE CIRCUIT AND INTEGRATED CIRCUIT

(54) 発明の名称: H型ブリッジ回路と半導体集積回路装置



(57) Abstract: An H-type bridge circuit for the drive of a position control actuator, which is capable of controlling minute current. The H-type bridge circuit includes a load connected between the outputs of first and second output circuits that produce first voltage (POUT) and second voltage (NOUT) complementarily in response to input signals (PWM1, PWM2). The output current flowing through the load is controlled to be zero by eliminating the differences in phase and pulse-width duty between the input signals (PWM1, PWM2) to the two output circuits. With reference to this condition, a difference in pulse-width duty is created between the input signals (PWM1, PWM2) so that the load can be supplied with a positive or negative output current the magnitude of which corresponds to the difference in the pulse-width duty.

/続葉有]

WO 00/74222 A1



(57) 要約:

(57)要約

本発明は、微小電流の制御を可能とした、位置制御アクチュエータの駆動用のH型ブリッジ回路に関する。入力信号（PWM1, PWM2）にตอบสนองして第1電圧（POUT）と第2電圧（NOOUT）とを相補的に出力させる第1と第2の出力回路の出力端に負荷を接続してなるいわゆるH型ブリッジ回路に対して、2つの出力回路に入力される入力信号（PWM1, PWM2）の位相及びパルス幅デューティを同一とすることで上記負荷に流れる出力電流を零に制御するとともに、この状態を基準として上記入力信号（PWM1, PWM2）のパルス幅デューティに差を持たせることにより、その差分に対応した大きさの出力電流を上記負荷に正又は負方向に流すようにする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を特定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SE	スウェーデン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AT	オーストリア	FI	フィンランド	LK	スリランカ	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LR	リベリア	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SN	セネガル
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BE	ベルギー	GE	グルジア	LV	ラトヴィア	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TG	トーゴ
BG	ブルガリア	GN	ギニア	MC	モナコ	TJ	タジキスタン
BJ	ベナン	GW	ギニア・ビサウ	MD	モルドヴァ	TZ	タンザニア
BR	ブラジル	HR	クロアチア	MG	マダガスカル	TM	トルクメニスタン
BY	ベラルーシ	HU	ハンガリー	MK	マケドニア	TR	トルコ
CA	カナダ	ID	インドネシア	ML	マリ	TT	トリニダード・トバゴ
CC	クウェート	IE	アイルランド	MN	モンゴル	UA	ウクライナ
CF	中央アフリカ	IL	イスラエル	MR	モーリタニア	UG	ウガンダ
CG	コンゴ	IN	インド	MW	マラウイ	US	米国
CH	スイス	IS	アイスランド	MX	メキシコ	UZ	ウズベキスタン
CI	コートジボワール	IT	イタリア	NE	ニジェール	VN	ヴェトナム
CM	カメルーン	JP	日本	NL	オランダ	YU	ユーゴスラビア
CN	中国	KE	ケニア	NO	ノルウェー	ZA	南アフリカ
CR	コスタ・リカ	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CU	キューバ	KR	韓国	PL	ポーランド		
CY	キプロス			PT	ポルトガル		
CZ	チェコ			RO	ルーマニア		
DE	ドイツ						
DK	デンマーク						

明 細 書

H型ブリッジ回路と半導体集積回路装置

05 技術分野

この発明は、PWM（Pulse Width Modulation；パルス幅変調）制御されるH型ブリッジ回路とそれが搭載された半導体集積回路装置に関し、例えば位置決め制御のように目標位置に対応した零を中心として正負の出力電流を形成するものに利用して有効な技術に関するものである

背景技術

第15図に従来のPWM制御されるH型ブリッジ回路の概念図を示す
また第16図にその動作説明図を示す 従来のPWMを用いたH型ブリッジ回路は、負荷に流れる電流の向きを決める制御信号DIRとその電流の大きさをハルス信号のデューティ比（ハルスデューティ）で制御する制御信号PWMの2つの信号で制御される 第16図（A）に示すようにDIR = L（ロウレベル）のとき、第15図に示したH型ブリッジ回路のトランジスタQ2とQ3はオフ状態に、トランジスタQ1がオン状態にされる そして、トランジスタQ4はPWM信号で制御される PWM信号によりQ4がオン状態にされると、トランジスタQ1 負荷・トランジスタQ4の経路で負荷に電流I_oが流れる 上記PWM信号により上記トランジスタQ4がオフ状態になると、負荷のインダクタンスに貯えられたエネルギーによってトランジスタQ3のボディダイオード、及び上記オン状態のトランジスタQ1及び負荷の経路で回生電流が流れる したがって負荷には正相（ポジティブ）出力点POUTから

逆相（ネガティブ）出力点NOUTの向きに電流 $+I_o$ が流れる。電流の大きさは上記制御信号PWMのバルスデューティで制御される。

第16図（B）に示すように上記制御信号DIRがハイレベル（H）になると、上記第15図のトランジスタQ3がオン状態に、トランジスタQ1とQ4はオフ状態にされる。上記トランジスタQ2が制御信号PWMにより制御される。これにより、上記の場合とは逆に、負荷には出力点NOUTからPOUTの向きの電流 $-I_o$ が流れる。

本願発明者においては、上記のようなPWM制御のH型ブリッジ回路を用いて位置制御に用いることを検討した。この位置制御において、問題になるのは出力電流が零に近いところの制御である。例えばCD-ROM、DVD、MOなどの光（磁気）ディスク（記録媒体）に対して、情報の再生又は記録を行う光ディスク装置（ディスクドライブ）のフォーカス、トラックドライバ、HDD（Hard Disk Drive）のアクチュエータドライバは、出力電流が零を中心に制御される。これらのドライバのPWM制御を上記のような従来回路で行った場合、微小電流を制御しようとする限りなく零に近いバルスデューティで制御しなければならない。

しかしながら、MOSFET（絶縁ゲート型電界効果トランジスタ）やバイポーラ型トランジスタのスイッチングにはディレイが伴う。このため、上記トランジスタのターンオンディレイより短いバルス幅のデューティではトランジスタはターンオンできない。またトランジスタが一旦オンすると、ターンオフディレイより短い時間の制御もできなくなる。

それでもPWMキャリアの周期を長くすれば微小電流の制御はできるが、速い電流の変化に追従できなくなってしまう。

上記H型ブリッジ回路を構成する出力トランジスタがバイポーラ型トランジスタの場合、ディレイタイムは通常約1マイクロ秒もある。出力

- 電流をフルスケール（デューティ 100%）の 1000 分の 1 まで制御しようとすれば、PWM キヤリアの周期は 1000 マイクロ秒 = 1 ミリ秒に設定しなければならない。これでは 1 キロヘルツ以上の周波数の電流変化には追従できなくなってしまう。上記出力トランジスタが MOS
- 05 FET の場合のディレイタイムはバイポーラの 10 分の 1 程度だがそれでも 10 KHz が限界になる。このように従来回路では出力電流ゼロを中心の高応答性での高精度の制御が不可能であり、それ故上記のような CD ROM、DVD、MO などの光ディスク装置のフォーカス、トラックドライバ、HDD のアクチュエータドライバのような高速応答性が要求される位置制御には適用できない。このため、従来のこれらの位置制御には、専らアナログ回路を用いるものである。しかし、アナログ回路では、消費電流が大きいばかりか、かかる大きな消費電流に伴って発生する発熱に対して、素子保護の観点から放熱を効率良く行う等実装上の対策が不可欠になるものである。
- 15 なお、光学式記録再生装置に使用するフォーカス駆動回路に PWM 回路を利用したものとして特開平 8 329489 号公報等がある。しかしながら、このフォーカス駆動回路は、微小電流制御時には PWM フレーム毎に駆動パルスを出力するのではなく、数回に一回だけ入力データに応じた出力パルスを発生して負荷に所望の微小電流を流すようにするものである。したがって、トラック間を高速にしかもランダム移動する必要のある CD ROM 等のフォーカス、トラックドライバ等のアクチュエータドライバには適用できない。
- 20

- したがって、この発明は、高応答性と高精度の出力制御を可能にした PWM 制御の H 型ブリッジ回路を提供することを目的としている。上記
- 25 PWM 制御の H 型ブリッジ回路を 1 つの半導体基板上に構成した半導体集積回路装置を提供することを他の目的としている。この発明の前記な

らびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

- 05 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、入力信号に応答して第1電圧と第2電圧とを相補的に出力させる第1と第2の出力回路の出力端子間に負荷を接続してなるいわゆるH型ブリッジ回路に対して、2つの出力回路に
- 10 入力されるPWM制御された制御信号（以下、PWM信号ともいう）を同相信号として上記負荷手段に流れる出力電流を零とし、かかる状態を基準にして上記第1と第2の出力回路に
- 入力されるPWM信号の相対的なハルス幅デューティ差を持たせ、その差分に対応した電流値の出力電流を上記負荷手段に正又は負方向に流すようにする

15 図面の簡単な説明

第1図は、この発明に係るPWM制御されるH型ブリッジ回路の一実施例を示す基本的な回路図であり、

第2図は、上記第1図のPWM制御されるH型ブリッジ回路の動作を説明するための波形図であり、

- 20 第3図は、この発明に係るPWM制御されるH型ブリッジ回路の一実施例を示す回路図であり、

第4図は、この発明に係るPWM制御されるH型ブリッジ回路の他の一実施例を示す回路図であり、

- 25 第5図は、この発明に係るPWM制御されるH型ブリッジ回路の他の一実施例を示す回路図であり、

第6図は、この発明に係るPWM制御されるH型ブリッジ回路の他の

一実施例を示す回路図であり、

第 7 図は、この発明に係る P W M 制御される H 型ブリッジ回路の他の一実施例を示すブロック図であり、

05 第 8 図は、上記第 7 図の H 型ブリッジ回路の動作を説明するための波形図であり、

第 9 図は、上記第 7 図の H 型ブリッジ回路に用いられる昇圧回路の一実施例を示す回路図であり、

第 1 0 図は、上記第 9 図の昇圧回路の動作を説明するための波形図であり、

10 第 1 1 図は、この発明に係る P W M 制御される H 型ブリッジ回路の動作を説明するための波形図であり、

第 1 2 図は、この発明が適用された P W M 制御の H ブリッジ回路を構成する半導体集積回路装置の一実施例を示すブロック図であり、

15 第 1 3 図は、上記第 1 2 図に示した半導体集積回路装置を用いた制御システムの全体ブロック図であり、

第 1 4 図は、上記第 1 2 図の半導体集積回路装置が搭載される C D フレーヤの概略構成図であり、

第 1 5 図は、従来の P W M 制御される H 型ブリッジ回路の一例を示す構成図であり、

20 第 1 6 図は、上記第 1 5 図の H 型ブリッジ回路の動作を説明するための波形図である

発明を実施するための最良の形態

25 この発明をより詳細に説述するために、添付の図面に従ってこれを説明する

第 1 図には、この発明に係る P W M 制御の H 型ブリッジ回路における

基本的概念を説明するための回路図が示されている。電源電圧VCCと回路の接地電位GNDとの間に、Pチャンネル型MOSFETQ1とNチャンネル型MOSFETQ2からなる第1のCMOS出力回路（第1のインバータ回路）が設けられる。この第1のCMOS出力回路は、上記Pチャンネル型MOSFETQ1とNチャンネル型MOSFETQ2のゲートに第1の入力信号PWM1が供給される。これにより、上記第1のCMOS出力回路は、入力信号PWM1にตอบสนองして出力端子POUTから電源電圧VCCのようなハイレベルと回路の接地電位GNDのようなロウレベルの出力信号を形成する。同様に、上記電源電圧VCCと回路の接地電位GNDとの間に、Pチャンネル型MOSFETQ3とNチャンネル型MOSFETQ4からなる第2のCMOS出力回路（第2のインバータ回路）が設けられ、入力信号PWM2にตอบสนองして出力端子NOUTから電源電圧VCCのようなハイレベルと回路の接地電位GNDのようなロウレベルの出力信号を形成する。

上記の回路においては、上記2つのインバータ回路を縦方向の2本の線とし、負荷をそれぞれの中点（上記出力端子POUT及びNOUT）を結ぶ横線とするアルファベットのHの文字に見立てることができるので、本願ではかかる構成をH型ブリッジ回路と呼ぶものである。

本願発明では、PWM入力信号を用いて上記H型ブリッジ回路を制御して、負荷に流れる電流I_oが零に近い微小電流領域でも各出力回路の前記のようなスイッチ素子におけるターンオン/ターンオフのディレイタイムに影響されないようにするため次のような工夫がなされている。

この発明では、H型ブリッジ回路を構成する2つの出力回路、言い換えるならば、ハーフブリッジ回路（MOSFETQ1とQ2及びQ3とQ4）のそれぞれを従来と全く異なり独立にPWM制御する。つまり、上記2つの出力回路のそれぞれの入力端子に供給される入力信号PWM

1 と PWM 2 は、従来のように同じ PWM 信号とするのではなく、それぞれが独立に変化する 2 つの信号とするものである。この独立に変化という意味は、2 つの入力信号 PWM 1 又は PWM 2 の一方において、そのハルス幅デューティが固定であってもよいことを意味する。つまり、
05 2 つの入力信号 PWM 1 と PWM 2 の相対的なハルス幅デューティの差分に対応した電流 I_o を負荷に流すようにすることに本願発明に係る PWM 制御の大きな特徴がある。

第 2 図には、この発明に係る PWM 制御を説明するための一実施例のタイミング図が示されている。この実施例では、前記第 1 図に示した H
10 型ブリッジ回路を用い、第 2 図 (A) には負荷に流れる電流 I_o が零の場合 ($I_o = 0$)、第 2 図 (B) には負荷に流れる電流 I_o が正の場合 ($I_o > 0$)、第 2 図 (C) には負荷に流れる電流 I_o が負の場合 ($I_o < 0$) がそれぞれ示されている。なお、電流の正又は負の向きは、上記出力端子の記号 POUT (ホジティブアウトプット) と NOUT (ネ
15 ガティブアウトプット) に対応して、便宜的に出力端子 POUT から NOUT に向かう方向が正方向であるとし、その逆を負方向であるとする。
モータの回転制御では、正方向が正回転に対応し、負方向が逆回転に対応する。

第 2 図 (A) に示すように、2 つのハーフブリッジ回路に供給される
20 入力信号 PWM 1 と PWM 2 がハルス幅デューティ 50% で、かつ同相であるとき、出力端子 POUT と NOUT も同相で変化して両者は時間的には常に同電位であるので負荷には電流 I_o が流れない。このとき、
2 つのハーフブリッジ回路を構成するスイッチ MOSFET Q1 と Q2 及び Q3 と Q4 のそれぞれにおいて、入力信号 PWM 1 と PWM 2 の信号
25 変化に対応し、ターンオン/ターンオフのディレイタイムがあっても、これらのディレイタイムを含んで上記出力端子 POUT と NOUT の

電圧が変化して上記のように負荷の両端を同電位にするので、負荷に流れる電流 I_o が零の状態を簡単にしかも高い精度で作り出すことができる。

第2図(B)に示すように、出力POUTから出力NOUTの向きに
05 微少電流を流す場合は、出力POUTのハルス幅デューティをわずかに
50%より大きくし、出力NOUTのハルス幅デューティをわずかに50%より小さくすることで達成できる。つまり、上記出力POUTのハルス幅デューティをわずかに50%より大きくすると、それに対応して
10 出力POUTの平均的な出力電圧が中点電圧($V_{CC}/2$)より僅かに
上昇し、上記出力NOUTのハルス幅デューティをわずかに50%より
小さくすると、それに対応して出力NOUTの平均的な出力電圧が中点
電圧($V_{CC}/2$)より僅かに低下し、その差分の微小電圧差に対応し
た微小電流($I_o > 0$)が流れるものとなる

第2図(C)に示すように、上記(B)とは逆に出力NOUTから出
15 力POUTの向きに微少電流を流す場合は、出力POUTのハルス幅デューティをわずかに50%より小さくし、出力NOUTのハルス幅デューティをわずかに50%より大きくすることで達成できる。これにより、
上記(B)の場合とは逆方向に、上記両出力NOUTとPOUTとの
間における平均的な微小電圧差に対応した微小電流($I_o < 0$)が流
20 れるものとなる

負荷電流零に相当するPWM信号のハルス幅デューティ50%には出力トランジスタのディレイタイムが上記のようにすでに含まれているので、50%を基準にハルス幅デューティを制御するのは容易である。つまり、PWM信号によるスイッチング遅延は、一方のデューティを10
25 0%、他方を0%にするフルスケール付近で現れることになるが、フルスケールの出力最大状態では、出力電流そのものが大きいので実際上問

題になることはない。

第1図において、例えば入力信号PWM2のハルス幅デューティを50%に固定とし、入力信号PWM1のハルス幅デューティを50%を中心にして50%～100%と、50%～0%のように変化させるものであってもよい。この場合には、負荷には最大で $V_{CC}/2$ の電圧しか印加されないから、負荷の駆動電流 I_o は前記の場合の1/2になる。負荷の駆動電流の範囲が小さい場合には、入力信号PWM2のハルス幅デューティを50%に固定として回路の簡素化及び低消費電力化を図ることができる。

第1図において、例えば入力信号PWM2のハルス幅デューティを250%に固定とし、入力信号PWM1のハルス幅デューティを25%を中心にして25%～100%と、25%～0%のように変化させるものであってもよい。この場合には、正方向には負荷には最大で $V_{CC} \times 3/4$ の電圧に対応した駆動電流 I_o を流し、負方向には、 $V_{CC}/4$ の電圧に対応した駆動電流 I_o を流すようにすることもできる。このように、一方のPWM入力信号を固定とした場合には、電流変化幅を駆動電流の向きに対応して様々に設定することができる。

第3図には、この発明に係るPWM制御されるH型ブリッジ回路の一実施例の回路図が示されている。この実施例では、前記H型ブリッジ回路の入力端子に供給されるPWM信号を形成するPWM信号発生回路の基本的な回路図が示されている。

この実施例のPWM信号発生回路は、前記第2図に示したタイミング図に対応している。つまり、入力信号が零のとき、2つのハーフブリッジ（出力回路）に供給される入力信号PWM1とPWM2がハルス幅デューティ50%で、かつ同相として出力端子POUTとNOUTの電圧を同相で変化させて負荷に流れる電流を零にする。この状態を基準にし

て、入力信号の正又は負の変化に対応して負荷に流れる電流の向きと、電流値とを使用する電源電圧 V_{CC} をフルスケール ($\pm V_{CC}$) で負荷に供給して形成するために、上記入力信号 $PWM1$ と $PWM2$ のハルス幅デューティを相補的に変化させる。

- 05 上記のような入力信号 $PWM1$ と $PWM2$ は、2つのオペアンプ（演算増幅回路） $OP1$ 、 $OP2$ と、2つのコンパレータ（電圧比較回路） $VC1$ と $VC2$ により形成される。入力信号 V_{in} と基準電圧 V_{ref} をオペアンプ $OP1$ に供給して反転増幅回路として動作させて逆相の出力電圧 $V1$ を形成する。この出力電圧 $V1$ と上記基準電圧 V_{ref} をオ
- 10 ペアンプ $OP2$ に供給し、入力抵抗 $R3$ と帰還抵抗 $R4$ の抵抗値を等しく設定して、電圧利得1の反転増幅回路として動作させて上記出力電圧 $V1$ に対して逆相の出力電圧 $V2$ を形成する。

- 上記オペアンプ $OP1$ は、必要に応じて入力信号 V_{in} を入力抵抗 $R1$ と帰還抵抗 $R2$ との抵抗比に対応した電圧利得で増幅するものである
- 15 上記抵抗 $R1$ と $R2$ の抵抗値を等しくして電圧利得を1として、バッファ回路（ボルティージフォロウ回路）として動作させてもよい。したがって、入力信号 V_{in} を形成する回路の出力インピーダンスが十分小さいときには、上記オペアンプ $OP1$ は省略することもできる

- 第3図において、H型ブリッジ回路を駆動する場合には、2つのハーフブリッジ回路の貫通電流を防止するため、つまり $MOSFETQ1$ と $Q2$ 及び $Q3$ と $Q4$ を通して電源電圧 V_{CC} から回路の接地電位 GND に電流が流れるのを防止するために、オン状態の $MOSFET$ がオフ状態になってからオフ状態の $MOSFET$ をオン状態に切り替えるようなディレイ回路を設けることが望ましい（同図では省略）

- 25 上記オペアンプ $OP1$ の出力電圧 $V1$ はコンパレータ $VC1$ の反転入力（ $-$ ）に供給される。上記オペアンプ $OP2$ で形成された反転出力電

圧 V_2 は、コンパレータ VC_2 の反転入力(−)に供給される。これらのコンパレータ VC_1 と VC_2 の同相入力(+)にはPWMキャリア信号(三角波)が印加される。ここでPWMキャリア信号のDCレベルは基準電圧 V_{ref} に等しくされている。

- 05 したがって、入力電圧(上記入力信号の電圧値) V_{in} と基準電圧 V_{ref} が等しいとき、言い換えるならば、入力信号 V_{in} が零のときには、オペアンプ OP_1 の出力電圧 V_1 と OP_2 の出力電圧 V_2 は基準電圧 V_{ref} に等しく、コンパレータ VC_1 、 VC_2 の出力にはデューティ50%の同相のPWM波形が現れる。上記コンパレータ VC_1 、 VC_2 の出力PWM1とPWM2でH型ブリッジ回路は駆動されるので、H型ブリッジ回路の正相補出力 $POUT$ にはコンパレータ VC_1 出力PWM1が反転されて現れ、逆相出力 $NOUT$ 出力にはコンパレータ VC_2 出力PWM2が反転して現れる。このようにして、入力信号(入力電圧) V_{in} と基準電圧 V_{ref} が等しときには、正相出力 $POUT$ と逆相出力 $NOUT$ とがデューティ約50%の同相のPWMは波形が現れて負荷に電流は流れない。
- 10
- 15

- $V_{in} > V_{ref}$ の場合、オペアンプ OP_1 、 OP_2 出力電圧 V_1 、 V_2 は、それぞれ $V_1 > V_{ref}$ 、 $V_2 > V_{ref}$ の関係となり、正相出力 $POUT$ のハルス幅デューティ $> 50\%$ 、逆相出力 $NOUT$ のハルス幅デューティ $< 50\%$ になる。したがって、逆相出力 $NOUT$ から正相出力 $POUT$ に向かって負荷に電流が流れる。
- 20

- 上記とは逆に $V_{in} < V_{ref}$ の場合、オペアンプ OP_1 、 OP_2 出力電圧 V_1 、 V_2 は、それぞれ $V_1 < V_{ref}$ 、 $V_2 < V_{ref}$ の関係となり、正相出力 $POUT$ のハルス幅デューティ $< 50\%$ 、逆相出力 $NOUT$ のハルス幅デューティ $> 50\%$ になる。したがって、正相出力 $POUT$ から逆相出力 $NOUT$ に向かって負荷に電流が流れる。
- 25

第4図には、この発明に係るPWM制御されるH型ブリッジ回路の他の一実施例の回路図が示されている。この実施例では、前記H型ブリッジ回路における動作電圧VCCの変動によって、負荷に流れる電流が変動してしまうのを防ぐよう工夫されている。つまり、第3図の実施例では、PWM制御がH型ブリッジ回路の電源電圧VCCと無関係に行われる。PWM制御されている出力POUTとNOUTの平均出力電圧は、電源電圧VCCとハルス幅デューティの積で表される。VCCが変動すれば平均出力電圧も変動し負荷に流れる電流は変動する。

そこで、この実施例では負荷と直列に電流センス抵抗Rsを接続し、Rsの両端電圧をオペアンプOP3でレベルシフトしその出力をオペアンプOP1に帰還させる。上記電流センス抵抗Rsの値は負荷が持つ直流抵抗に比べ十分小さくされる。上記電流センス抵抗Rsを流れる電流は、負荷が持つ自己インダクタンスLLと直流抵抗RLによって十分平滑されている。上記電流センス抵抗Rsの両端電圧Rs・Ioは、オペアンプOP3で増幅（増幅率=R6/R5）されると同時に、基準電圧Vrefを基準（Io=0のときオペアンプOP3出力電圧Vref）とする電圧にレベルシフトされる。オペアンプOP3の出力は帰還抵抗R2を介してオペアンプOP1の反転入力に帰還される。したがって入力電圧Vinと負荷に流れる出力電流Ioの間には以下の関係式（1）が成立する。すなわち

$$I_o = (V_{in} - V_{ref}) \cdot (R_2 / R_1) \cdot (R_5 / R_6) / R_s \quad \dots \dots \dots (1)$$

となり、負荷インピーダンスに左右されない電流を負荷に流すことができる。

上記第3図の実施例において、PWMキャリア信号の振幅VCが電源電圧VCCに比例するようにしておくと、電源電圧VCCが変動して

も負荷に流れる電流 I_o を一定にすることができる。たとえば $V_1 = V_2 = V_C$ の場合、正相出力 P_{OUT} のパルス幅デューティ $= 25\%$ 、逆相出力 N_{OUT} のパルス幅デューティ $= 75\%$ で、その差 50% である。すなわち負荷にかかる平均電圧は $0.5 V_{CC}$ である。いま電源電圧 V_{CC} が $+10\%$ 変動した場合、 V_C も $+10\%$ になる。その結果、正相出力 P_{OUT} のパルス幅デューティ $= (25 / 1.1 + 50)\%$ 、逆相出力 N_{OUT} のパルス幅デューティ $= (-25 / 1.1 + 50)\%$ 、その差は $50 / 1.1\%$ となる。負荷にかかる平均電圧は上記パルス幅デューティ差と電源電圧の積なので電源電圧 V_{CC} が上記のように変化後も、 $50 / 1.1 (\%) \times 1.1 \times V_{CC} = 0.5 V_{CC}$ と一定になるものである。

第4図の実施例の場合は電流帰還はかかっているので、前記第3図の実施例のほどではないにしてもPWMキャリア信号の振幅 V_C 一定では電源電圧 V_{CC} の変動は減衰されて出力電流の変動になる。これを避けるには上記と同様に V_C を V_{CC} に比例させる必要がある。

第5図には、この発明に係るPWM制御されるH型ブリッジ回路の他の一実施例の回路図が示されている。この実施例では、H型ブリッジ回路の動作電圧 V_{CC} が帰還される。H型ブリッジ回路の出力電圧 P_{OUT} と N_{OUT} をオペアンプ OP_3 でレベルシフトして、入力に設けられたオペアンプ OP_1 に負帰還する。H型ブリッジ回路の正相出力 P_{OUT} と N_{OUT} は、その平均電圧を V_P と V_N とすると、次の関係式(2)と(3)が成立する。

$$(V_{in} \cdot R_2) / R_1 = (V_P - V_N) R_7 / (R_5 + R_6) \quad \dots \dots \dots (2)$$

$$\therefore GV = (V_P - V_N) / V_{in} = R_2 (R_5 + R_6) / R_1 \cdot R_7 \quad \dots \dots \dots (3)$$

上記（３）式により入出力間電圧利得がきまるものとなる。キャパシタ C_1 と C_2 は、帰還ループから PWM キャリア信号を除くためのフィルタとして作用する

第 6 図には、この発明に係る PWM 制御される H 型ブリッジ回路の他の一実施例の回路図が示されている。この実施例でも、H 型ブリッジ回路の動作電圧 V_{CC} が帰還される。この実施例では、正相出力 P_{OUT} の電圧だけをオペアンプ OP_3 でレベルシフトし負帰還するものである。逆相出力 N_{OUT} は、上記正相出力 P_{OUT} と逆相で変化しているので、抵抗 R_8 と R_{10} で $V_{CC}/2$ の中点電圧を形成し、上記正相出力 P_{OUT} の電圧だけでも負帰還の目的が達成できる。後述するような PWM 制御システムの半導体集積回路化に際しては、帰還ループから PWM キャリア信号を除くためのフィルタがキャパシタ C_1 のみとなり、それに対応してキャパシタ C_1 を接続するための外部端子が P_1 のみとなり、前記第 5 図の実施例回路を半導体集積回路化した場合に比べて、外部端子を 1 ヒン削除し、かつキャパシタを 1 個減らすことができる。

第 7 図には、この発明に係る PWM 制御される H 型ブリッジ回路の他の一実施例のブロック図が示されている。この実施例では、H 型ブリッジ回路が N チャンネル型 MOSFET で構成される。つまり、電源電圧 V_{CC} 側のスイッチ素子が前記のような P チャンネル型 MOSFET に代えて、N チャンネル型 MOSFET が用いられる。このような出力回路の単一チャンネルの MOSFET で構成することにより、半導体集積回路上でのレイアウトを簡素化できる。

この実施例のように H 型ブリッジ回路の出力トランジスタを上下アーム（スイッチ素子）とも N チャンネル型 MOSFET とした場合には、上アーム側の N チャンネル型 MOSFET Q_1 と Q_3 駆動するためには昇圧回路 CP_1 、 CP_2 が必要である。つまり、MOSFET Q_1 又は

Q 3 をオン状態にするとき、そのゲートに印加される駆動電圧を $V_{CC} - V_{th}$ (V_{th} は MOSFET Q 1、Q 3 のしきい値電圧) 以上の昇圧電圧 V_{BST} にするための昇圧回路 CP 1、CP 2 が設けられる。また上下アームの MOSFET Q 1 と Q 2、Q 3 と Q 4 の同時オンによる貫通電流を避けるためのディレイ回路 DL 1、DL 2 が設けられる。

第 8 図には、上記第 7 図の PWM 制御される H 型ブリッジ回路の動作を説明するための波形図である。同図は、ハーフブリッジ回路の上下アーム同時オンを避けるためターンオンディレイ T_{d1} をターンオフディレイ T_{d2} より長くされる MOSFET Q 1 と Q 2 を例にして説明すると、駆動信号 PWM 1 がロウレベル L からハイレベル H に変化するとき、かかる変化に対して遅延回路 DL 1 においては、MOSFET Q 1 のゲート、ソース間に印加される電圧 V_{GSQ1} の立ち上がりを上記ターンオンディレイ T_{d1} 対応した遅延時間に設定し、MOSFET Q 2 のゲート、ソース間に印加される電圧 V_{GSQ2} の立ち下がりを実記ターンオフディレイ T_{d2} 対応した遅延時間に設定される。

このような遅延時間 T_{d1} と T_{d2} の設定によって、駆動信号 PWM 1 がロウレベル L からハイレベル H に変化するときには、MOSFET Q 2 が上記遅延時間 T_{d2} に対応して早いタイミングでオフ状態となり、その後に MOSFET Q 1 が上記遅延時間 T_{d1} に対応して遅れてオン状態となるので、上記 MOSFET Q 1 と Q 2 を通した貫通電流が発生しない。逆に、駆動信号 PWM 1 がハイレベル H からロウレベル L に変化するときには、MOSFET Q 1 が上記遅延時間 T_{d1} に対応して早いタイミングでオフ状態となり、その後に MOSFET Q 2 が上記遅延時間 T_{d2} に対応して遅れてオン状態となるので、上記 MOSFET Q 1 と Q 2 を通した貫通電流が発生しない。

上記 MOSFET Q 1、Q 2 は、負荷に供給すべき大きな出力電流を

- 得るようにするために大きなサイズに形成される。それ故、入力ゲート容量は比較的大きな容量値にされる。このような大きなサイズからなる MOSFET のゲート電圧を、上記 PWM 信号に対応して高速に変化させるために、特に制限されないが、CMOS インバータ回路からなる
- 05 リドライバ PD 1、PD 2 が設けられる。電源電圧 VCC 側の MOSFET Q 1 のゲートに供給される入力信号を形成するフリドライバ PD 1 は、その動作電圧が昇圧回路 CP 1 により形成された昇圧電圧 VBST とされることにより、MOSFET Q 1 のゲートに供給されるハイレベルは、上記昇圧電圧 VBST に対応したハイレベルにされる。
- 10 H 型ブリッジ回路の他方のハーフブリッジ回路の上下アームの MOSFET Q 3 と Q 4 を駆動する回路にも、前記同様な遅延回路 DL 2、フリドライバ PD 3、PD 4 及び昇圧回路 CP 2 が設けられる
- 第 9 図には、上記第 7 図の PWM 制御される H 型ブリッジ回路に用いられる昇圧回路の一実施例の回路図が示されている。この実施例では、
- 15 チャージポンプ回路により昇圧電圧を形成する。チャージポンプ回路では、キャパシタ C 3 を電源電圧 VCC でプリチャージし、かかるプリチャージ電圧にロジック回路の電源電圧 VSS を加えて昇圧電圧を形成する
- この実施例では、上記キャパシタ C 3 に電源電圧 VCC をプリチャージする P チャンネル型 MOSFET Q 1 3 が用いられる。この MOSFET Q 1 3 のゲートには、N チャンネル型 MOSFET Q 1 2 で形成されたロウレベルの出力信号によりオン状態にされる。上記 MOSFET Q 1 3 のゲートとキャパシタ C 3 の昇圧側のノードとの間には抵抗 R 1 0 が設けられる。この MOSFET Q 1 2 がオフ状態にされ、キャパシタ C 3 の昇圧側のノードが VCC 以上に高くなると、上記抵抗 R 1 0 を
- 20 通してゲート電圧を上記昇圧電圧に対応して高くし MOSFET Q 1 3
- 25

をオフ状態にする。

このようなプリチャージMOSFETQ13のスイッチ制御方法は、昇圧電圧を出力容量C4に伝える出力スイッチMOSFETQ14のスイッチ制御にも用いられる。つまり、MOSFETQ14のオン状態により、MOSFETQ15のゲートをロウレベルにしてスイッチMOSFETQ15をオン状態にして上記昇圧された電圧V12 (VCC-VSS) を出力容量C4に伝える。このMOSFETQ14がオフ状態にされ、キャパシタC3の昇圧側のノードがプリチャージ動作によってVCCまで低下すると、上記抵抗R11を通してMOSFETQ14のゲート電圧が上記昇圧電圧VBSTに対応して高くなりMOSFETQ15をオフ状態にする。

第10図には、上記第9図の昇圧回路の動作を説明するための波形図が示されている。クロック信号CLKがロウレベルのとき、ドライバとして動作するインバータ回路IV1の出力電圧V10はハイレベル (VSS) にされる。それ故、MOSFETQ11がオン状態となって、出力電圧V11がロウレベル (GND) とし、MOSFETQ12をオン状態としてMOSFETQ13のゲート電圧V13をロウレベルに引き抜く。これにより、MOSFETQ13がオン状態となって、キャパシタC3の昇圧側ノードV12は電源電圧VCCにプリチャージされる。

上記クロック信号CLKのロウレベルにより、MOSFETQ14がオフ状態となり、MOSFETQ15のゲート電圧V14には昇圧電圧VBSTが抵抗R11を通して伝えられてオフ状態とされる。

次にクロック信号CLKがハイレベルになると、ドライバとして動作するインバータ回路IV1の出力電圧V10はロウレベル (GND) にされる。それ故、MOSFETQ10がオン状態となって、出力電圧V11をハイレベル (VCC) とし、MOSFETQ12をオフ状態と

する。上記MOSFETQ10のオン状態に対応してキャパシタC3の昇圧側の電圧V12はVCC-VSSのような昇圧電圧にされる。このとき、上記出力電圧V11のロウレベルによりMOSFETQ12がオフ状態にされているので、上記昇圧動作に対応してV12の電圧上昇に対応してMOSFETQ13のゲート電圧も高くなってオフ状態となる。このため、キャパシタC3のブートストップ作用によって形成された昇圧電圧VCC-VSSが電源電圧VCC側に抜けてしまうことがない。上記クロック信号CLKのハイレベルにより、MOSFETQ14がオン状態にされて、MOSFETQ15のゲート電圧V14をロウレベル（GND）にするので、かかるMOSFETQ14がオン状態となって上記昇圧された電圧VCC-VSSを出力容量C4に伝える

この実施例では、MOSFETQ12及びQ14のソース側に定電流源I1とI2が設けられている。このため、MOSFETQ12及びQ14をオン状態にさせるとき、Pチャンネル型MOSFETQ13とQ15のゲート電圧、ソース間電圧を $R10 \times I1$ 及び $R11 \times I2$ に設定し、ゲート、ソース間電圧を必要最小の電圧差に設定し、上記抵抗R10とR11によるオフ状態への切り替えを高速にするものである。このようにクロック信号CLKの変化に対応して、上記のような動作を繰り返すことにより、昇圧電圧VBSTはVCC-VSSのような昇圧電圧とされる。第7図の実施例においては、各ハーフブリッジ回路に昇圧回路CP1とCP2を設ける構成としているが、1つの昇圧回路により、上記両ドライバPD1とPD3に供給される動作電圧を形成するものであってよい

第11図には、この発明に係るPWM制御されるH型ブリッジ回路の動作を説明するための波形図が示されている。前記第3図に示したような実施例回路において、入力信号Vinに正弦波を印加すると、オペア

ンブOP1の出力電圧V1（すなわちコンパレータVC1の反転入力（-））では位相反転波形が、オペアンプOP2の出力電圧V2（すなわちコンパレータVC2の反転入力（-））には同相波形が現れる。コンパレータVC1、VC2の同相入力（+）には同様のPWMキャリアが印加されているので、コンパレータVC1、VC2においては、独立のPWM波形、つまり入力信号Vinに対応して相補的にパルス幅デューティが変化するようにされる。その制御信号PWM1とPWM2は、出力回路で反転されて、正相出力POUTと逆相出力NOUTとなる。正相出力POUT、逆相出力NOUTの相互関係には以下の4つのモードがある

- （1）正相出力POUTがハイレベルで逆相出力NOUTがロウレベルのとき、
- （2）正相出力POUTがハイレベルで逆相出力NOUTがハイレベルのとき、
- 15 （3）正相出力POUTがロウレベルで逆相出力NOUTがハイレベルのとき、
- （4）正相出力POUTがロウレベルで逆相出力NOUTがロウレベルのとき、

上記（1）の期間では、MOSFETQ1とQ4がオン状態となる電流経路で電流が流れ、（2）の期間では、上側アーム間のMOSFETQ1とQ3及び寄生ダイオードで電流が回生する。上記（3）の期間では、MOSFETQ3とQ2がオン状態となる電流経路で電流が流れ、（4）の期間では、下側アーム間のMOSFETQ2とQ4及び寄生ダイオードで電流が回生する。この結果、同図に示すように入力信号Vinに対応して電流Ioが負荷に流れることになる

第12図には、この発明が適用されたPWM制御のH型ブリッジ回路

を搭載する半導体集積回路装置の一実施例のブロック図が示されている

この実施例の半導体集積回路装置は、CD-ROM/DVD用に向けられている。この実施例の半導体集積回路装置では、スピンドルSPN、フォーカスFCS、トラックTRK、スレッドSLD、トレイTRYの5つのドライバが1チップ化されて構成される。このうち位置制御のように目標点を零として、正と負の両方向の位置制御又は回転制御を必要とするフォーカスFCS、トラックTRK、スレッドSLD及びトレイTRYが前記のような本願発明に係るPWM制御されるアクチュエータドライバである。バイアスは昇圧回路であり、上記各アクチュエータドライバを構成するNチャンネル型MOSFETにより構成されるハーフブリッジ回路における上側アームのドライバの動作電圧VBSTを形成する

クロック発生回路CLKOSCで形成されたクロックハルスCLKを用い、PWMキャリア発生回路では三角波からなるPWMキャリア信号を発生させる。この三角波（PWMキャリア信号）は、上記スピンドルを含む5つからなる全てのPWM制御回路で共有される。このような回路の共有化によって回路の簡素化を図ることができる

この実施例では、負荷をPWM駆動するものであるので、消費電力が小さく、かかる低消費電力に伴い発熱も小さいので上記のようにスピンドルモータ駆動と4つのアクチュエータドライバを1チップの半導体集積回路装置で構成できる。この結果、CD-ROM/DVDの駆動に必要な主要なドライバを1つの半導体集積回路装置で形成でき、しかもその実装上の制約を無くすることができるから、かかる装置の一層の小型化を可能にする。また、低消費電力であるので、電池駆動される携帯電子機器に搭載した場合に電池寿命を長くすることができる

第13図には、上記第12図に示した半導体集積回路装置を用いた制

御システムを示す全体ブロック図であり、CD-ROM/DVDの機構部は前記のようなスピンドル、フォーカス、トラック、スレッド、トレイのモータ、コンボ、全体をシステム制御するマイクロプロセッサMPU、サーボ制御を行うデジタル・シグナル・プロセッサDSPで構成される。特に制限されないが、ロジック回路用の電源電圧VSSは、5とされ、モータドライブ用の電源電圧VCCは5Vと12Vのいずれかが用いられる。

第14図には、この発明に係るPWM制御の上記半導体集積回路装置が搭載されるCDプレーヤのスライド送り機構の概略構成図が示されている。

同図に示されたスライド送り機構は、リニアモータ方式のものであり、アクセス性能が重視されるCD-ROMには好適である。特に制限されないが、構造は、2つの軸で支持された移動体に光ヒックアップがマウントされている。上記移動体に駆動コイルが取り付けられ、2つのマグネットがサイドヨークに取り付けられる。上記2つのマグネットの極性に対する面が同じ極性（例えばN）になっており、磁束はマグネットから出てセンタヨーク。サイドヨークのループを作り、マグネットとセンタヨーク間にギャップが構成される。

駆動コイルは、上記ギャップの位置に置かれており、電流を流すことでフレミングの法則により力が発生して移動体を移動させるリニアモータを構成する。上記駆動コイルの反対側に速度センサとしてのコイルが設けられており、上記リニアモータの移動速度をモニタする。上記リニアモータの駆動して目的のトラックまである速度プロファイルを設定し、その通りに移動動作させるためのフィードバックあるいは移動機構にブレーキをかけるために上記速度センサが用いられる。

アクセス方法の概略は次の通りである。現在のトラックは、サブコー

ドQのデータからトラック数が計算されており、ジャンプしたいアドレスを計算し、両トラック数を比較してジャンプすべきトラック数を算出する。この算出結果からトラッキング、スライド送りのサーボをオフ、
05 動させる。

一方、RF信号からエンベロープ分を取り出し、これをカウントすることにより、移動したトラック数をカウントしていき、これを上記ジャンプすべきトラック数と逐次比較して、その値に達したときに各サーボをオンとして光学系にブレーキをかける。ここで、サブコードのデータ
10 Qを読み取り、目的のトラックとの差を計算してそれがレンズの移動のみで良い範囲（例えば100トラック以内）かどうかを判断し、もし範囲外であれば、もう一度最初のシーケンスにもどって光学系全体をリニアモータで移動させる。範囲内であれば、二軸の急速にレンズ移動を行い、目的のトラックにセットする。つまり、レンズ機構がフォーカス方
15 向とトラッキング方向に2つの自由度を持つ二軸デバイスとされ、上記フォーカスFCSとスレッドSLDの制御により上記トラックセットが行われる。

上記の実施例から得られる作用効果は、下記の通りである。

（１） 入力信号に応答して第1電圧と第2電圧とを相補的に出力させる第1と第2の出力回路の出力端子間に負荷を接続してなるいわゆるH
20 型ブリッジ回路に対して、2つの出力回路に入力されるPWM信号を同相信号として上記負荷手段に流れる出力電流を零とし、かかる状態を基準にして上記第1と第2の出力回路に入力されるPWM信号の相対的なハルス幅デューティ差を持たせ、その差分に対応した電流値の出力電流
25 を上記負荷手段に正又は負方向に流すようにすることにより、目標位置に対応した零の状態を中心とし、高応答性と高精度の出力制御を実現で

きるとともに、そのPWM制御による低消費電力によって複数個を1つの半導体基板上に形成することが容易になるという効果が得られる。

(2) 上記第1電圧を正の電源電圧とし、上記第2電圧を回路の接地電位することにより、上記高応答性と高精度の出力制御を実現しつつ、
05 電源電圧を有効に使用できるという効果が得られる

(3) 上記第2出力回路の第2の入力端子に一定のハルス幅デューティの入力信号を供給し、上記第1の出力回路の第1の入力端子に上記第2の入力端子に供給されるハルス幅デューティを基準にして正又は負方向にハルス幅デューティが変化させられたPWM信号を供給することにより、簡単な構成で目標位置に対応した零の状態を中心としたPWM制御による電流を負荷に流すことができるという効果が得られる。
10

(4) 上記負荷手段を、位置制御を行うモータの駆動コイルとすることにより、目標位置に対応した零の状態を中心として高応答性と高精度の位置制御が実現できるという効果が得られる

(5) 上記第1と第2出力回路をPチャンネル型のMOSFETとNチャンネル型MOSFETからなるCMOS回路で構成することにより、入力信号を形成する回路の簡素化を図ることができるという効果が得られる
15

(6) 上記第1と第2の出力回路をNチャンネル型のMOSFETで構成し、電源電圧側のNチャンネル型のMOSFETのゲートには、上記第1電圧に対して上記第1と第3のスイッチ素子を構成するNチャンネル型MOSFETのしきい値電圧分以上に高くされた信号振幅の入力信号を供給することにより、出力回路のレイアウトの簡素化を図ることができるという効果が得られる。
20

(7) 上記第1と第2の入力端子と上記各スイッチ素子を構成するMOSFETのゲートとの間には、上記第1と第2及び第3と第4のスイ
25

05 ッチ素子を通して直流電流が流れるのを防止するための遅延回路と、かかる遅延回路の遅延信号を受けて上記M O S F E Tを駆動するための第1～第4のブリドライバを設け、上記第1と第3のブリドライバは、上記第1電圧に対して上記しきい値電圧分以上に高くされた昇圧電圧を動作電圧とすることにより、直流電流の発生を防止しつつ、電源電圧まで有効に使用できるP W M制御を実現できるという効果が得られる。

10 (8) 入力信号を受け、電流増幅された第1入力信号を形成する第1の反転増幅回路と、その出力信号を受けて電流増幅され、上記第1入力信号とは逆相にされた第2入力信号を形成する第2反転増幅回路を設け、上記第1入力信号と第2入力信号を一方の入力端子に受け、他方の入力端子にP W Mキャリア信号を受ける第1と第2の電圧比較回路を設けて、上記第1と第2の出力回路に伝える入力信号とすることにより、電源電圧をフルスケールで使用できるP W M制御が可能になるという効果が得られる

15 (9) 上記負荷手段と上記第2の出力回路の第2の出力端子との間に電流検出用抵抗素子を設け、上記電流検出用抵抗素子により形成された検出電圧を受け、上記第1の反転増幅回路に負帰還する帰還回路を更に設けることにより、負荷電流を負荷インピーダンスに影響されないで制御することができるという効果が得られる

20 (10) 上記負荷手段の両端の電圧を平滑し、その電圧差に対応した帰還信号を形成して上記第1の反転入力回路に負帰還する帰還回路を更に設けることにより、負荷に流れる電流を電源電圧に影響されないで制御することができるという効果が得られる。

25 (11) 上記負荷手段の一端の電圧を平滑し、上記第1の電圧と第2の電圧との中点電圧との差電圧に対応した帰還信号を形成して上記第1の反転入力回路に負帰還する帰還回路を更に設けることにより、負荷に流

れる電流を電源電圧に影響されないで制御しつつ、帰還ループに設けられるPWMキャリア信号を除去するためのキャパシタとそれを接続するための外部端子を1つに減らすことができるという効果が得られる。

(12) 入力信号に応答して第1電圧と第2電圧とを相補的に出力させる第1と第2の出力回路の出力端子間に負荷を接続してなるいわゆるH型ブリッジ回路に対して、2つの出力回路に入力されるPWM信号を同相信号として上記負荷手段に流れる出力電流を零とし、かかる状態を基準にして上記第1と第2の出力回路に入力されるPWM信号の相対的なハルス幅デューティ差を持たせ、その差分に対応した電流値の出力電流を上記負荷手段に正又は負方向に流すよう回路を複数個と、スピンドルモータ駆動制御回路と、上記のPWM制御回路にPWMキャリアを共通に供給するPWMキャリア信号発生回路とを1つの半導体集積回路(半導体基板)に形成することにより、回路の共通化による回路の簡素化を図りつつ、それが搭載されるCD-ROM/DVDの小型化を図ることができるという効果が得られる。

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、MOSFETは、半導体基板の主面に沿って電流を流す、いわゆる横型のMOSFETの他、半導体基板の主面と垂直方向に電流を流す、いわゆる縦型のMOSFETであってもよい。H型ブリッジ回路を構成するスイッチ素子は、上記MOSFETに限定されずバイポーラ型トランジスタ等のような他のスイッチ素子に置き換えることも可能である。

H型ブリッジ回路に供給されるPWM信号を形成する回路は、種々の実施例形態を採ることができる。駆動回路(H型ブリッジ回路)とそれをドライブするPWM制御回路を含むPWM制御システムは、前記第1

3図のように1つの半導体集積回路装置に形成するものの他、H型ブリッジ回路とそれに入力されるPWM信号を形成する回路とを別々の半導体集積回路装置に形成するものであってもよい。

05 産業上の利用可能性

この発明は、位置決め制御のように目標位置に対応した零を中心として正負の出力電流を形成するPWM制御回路を用いたH型ブリッジ回路及びそれが搭載される半導体集積回路装置に広く利用することができる

請 求 の 範 囲

1. 第1の入力端子に供給される入力信号に対応し、第1の出力端子から第1電圧と第2電圧とを相補的に出力させる第1出力回路と、

第2の入力端子に供給される入力信号に対応し、第2の出力端子から上記第1電圧と第2電圧とを相補的に出力させる第2出力回路と、
05

上記第1と第2出力回路の第1と第2の出力端子間に設けられた負荷手段とを備え、

上記第1と第2の入力端子のそれぞれに第1と第2のPWM信号を供給し、上記第1と第2のPWM信号を同相信号として上記負荷手段に
10 流れる出力電流を実質的に零とし、

上記第1と第2のPWM信号の相対的なハルス幅デューティ差に対応して上記第1の出力端子から上記負荷手段を通して第2の出力端子に向かう第1の出力電流と、上記第2の出力端子から上記負荷手段を通して第1の出力端子に向かう第2の出力電流とを形成することを特徴とするH型ブリッジ回路
15

2. 請求の範囲第1項において、

上記第1電圧は正の電源電圧であり、

上記第2電圧は回路の接地電位であることを特徴とするH型ブリッジ回路

20 3. 請求の範囲第1項において、

上記第2出力回路の第2の入力端子には、一定のハルス幅デューティの入力信号が供給され、

上記第1の出力回路の第1の入力端子には、上記第2の入力端子に供給されるハルス幅デューティを基準にして正又は負方向にハルス幅デューティが変化させられたPWM信号が供給されることを特徴とするH
25 型ブリッジ回路。

4. 請求の範囲第2項において、

上記負荷手段は、位置制御を行うモータの駆動コイルであることを特徴とするH型ブリッジ回路。

5. 請求の範囲第4項において、

05 上記第1と第2出力回路のそれぞれは、

 上記第1電圧と上記第1と第2の出力端子との間にそれぞれ設けられた第1と第3のスイッチ素子と、

 上記第2電圧と上記第1と第2の出力端子との間にそれぞれ設けられた第2と第4のスイッチ素子とからなることを特徴とするH型ブリッジ回路

10

6. 請求の範囲第5項において、

 上記第1と第3のスイッチ素子は、Pチャンネル型のMOSFETであり、

 上記第2と第4のスイッチ素子は、Nチャンネル型のMOSFETであることを特徴とするH型ブリッジ回路。

15

7. 請求の範囲第5項において、

 上記第1ないし第4のスイッチ素子は、Nチャンネル型のMOSFETからなり、

 上記第1と第3のスイッチ素子に対応したNチャンネル型のMOSFETのゲートには、上記第1電圧に対して上記第1と第3のスイッチ素子を構成するNチャンネル型MOSFETのしきい値電圧分以上に高くされた信号振幅の入力信号が供給されるものであることを特徴とするH型ブリッジ回路

20

8. 請求の範囲第7項において、

25 上記第1の入力端子と上記第1と第2のスイッチ素子を構成するMOSFETのゲートとの間には、上記第1と第2のスイッチ素子を通し

て直流電流が流れるのを防止するための遅延回路と、かかる遅延回路の遅延信号を受けて上記第1と第2のスイッチ素子を構成するMOSFETを駆動するための第1と第2のブリドライバと、

05 上記第2の入力端子と上記第3と第4のスイッチ素子を構成するMOSFETのゲートとの間には、上記第3と第4のスイッチ素子を通して直流電流が流れるのを防止するための遅延回路と、かかる遅延回路の遅延信号を受けて上記第3と第4のスイッチ素子を構成するMOSFETを駆動するための第3と第4のブリドライバとを更に備え、

10 上記第1と第3のブリドライバは、上記第1電圧に対して上記しきい値電圧分以上に高くされた昇圧電圧を動作電圧とするものであることを特徴とするH型ブリッジ回路

9. 請求の範囲第8項において、

入力信号を受け、電流増幅された第1入力信号を形成する第1の反転増幅回路と、

15 上記第1の反転増幅回路の出力信号を受け、電流増幅され、上記第1入力信号とは逆相にされた第2入力信号を形成する第2反転増幅回路と、

上記第1入力信号を一方の入力端子に受け、他方の入力端子にPWMキャリア信号を受けて第1の電圧比較回路と、

20 上記第2入力信号を一方の入力端子に受け、他方の入力端子に上記PWMキャリア信号を受ける第2の電圧比較回路とを更に備え、

上記第1の電圧比較回路の出力信号を上記第1の出力回路の第1の入力端子に伝える入力信号とし、

25 上記第2の電圧比較回路の出力信号を上記第2の出力回路の第2の入力端子に伝える入力信号としてなることを特徴とするPWM制御システム。

10. 請求の範囲第9項において、

上記負荷手段と上記第2の出力回路の第2の出力端子との間に設けられた電流検出用抵抗素子と、

05 上記電流検出用抵抗素子により形成された検出電圧を受け、上記第1の反転増幅回路に負帰還する帰還回路を更に備えてなることを特徴とするH型ブリッジ回路。

11. 請求の範囲第9項において、

10 上記負荷手段の両端の電圧を平滑し、その電圧差に対応した帰還信号を形成して上記第1の反転入力回路に負帰還する帰還回路を更に備えてなることを特徴とするH型ブリッジ回路

12. 請求の範囲第9項において、

15 上記負荷手段の一端の電圧を平滑し、上記第1の電圧と第2の電圧との中点電圧との差電圧に対応した帰還信号を形成して上記第1の反転入力回路に負帰還する帰還回路を更に備えてなることを特徴とするH型ブリッジ回路。

13. 第1の入力端子に供給される入力信号に対応し、第1の出力端子から第1電圧と第2電圧とを相補的に出力させる第1出力回路と、

第2の入力端子に供給される入力信号に対応し、第2の出力端子から上記第1電圧と第2電圧とを相補的に出力させる第2出力回路と、

20 上記第1と第2出力回路の第1と第2の出力端子間に設けられた負荷手段とを備え、

上記第1と第2の入力端子のそれぞれに第1と第2のPWM信号を供給し、上記第1と第2のPWM信号を同相信号として上記負荷手段に流れる出力電流を実質的に零とし、

25 上記第1と第2のPWM信号の相対的なパルス幅デューティ差に対応して上記第1の出力端子から上記負荷手段を通して第2の出力端子に

向かう第 1 の出力電流と、上記第 2 の出力端子から上記負荷手段を通して第 1 の出力端子に向かう第 2 の出力電流をそれぞれ形成する複数組の PWM 制御回路と、

スピンドルモータ駆動制御回路と、

- 05 上記 PWM 制御回路及びスピンドルモータ駆動制御回路に対して PWM キャリア信号を供給する PWM キャリア信号発生回路とを 1 つの半導体基板上に形成してなることを特徴とする半導体集積回路装置。

14. 請求の範囲第 13 項において、

 上記第 1 電圧は正の電源電圧であり、

- 10 上記第 2 電圧は回路の接地電位であり、

 上記第 1 と第 2 出力回路のそれぞれは、

 上記第 1 電圧と上記第 1 と第 2 の出力端子との間にそれぞれ設けられた第 1 と第 3 の N チャンネル型 MOS F E T と、

- 上記第 2 電圧と上記第 1 と第 2 の出力端子との間にそれぞれ設けられた第 2 と第 4 の N チャンネル型 MOS F E T とからなり、
- 15

 上記第 1 の入力端子と上記第 1 と第 2 の N チャンネル型 MOS F E T のゲートとの間には、上記第 1 と第 2 の N チャンネル型 MOS F E T を通して直流電流が流れるのを防止するための遅延回路と、かかる遅延回路の遅延信号を受けて上記第 1 と第 2 の N チャンネル型 MOS F E T を駆動するための第 1 と第 2 のドライバと、

20

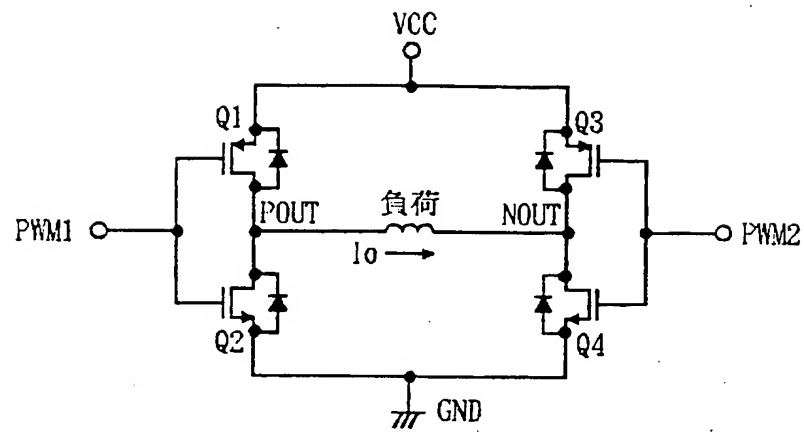
 上記第 2 の入力端子と上記第 3 と第 4 の N チャンネル型 MOS F E T のゲートとの間には、上記第 3 と第 4 の N チャンネル型 MOS F E T を通して直流電流が流れるのを防止するための遅延回路と、かかる遅延回路の遅延信号を受けて上記第 3 と第 4 の N チャンネル型 MOS F E T を駆動するための第 3 と第 4 のドライバと、

25

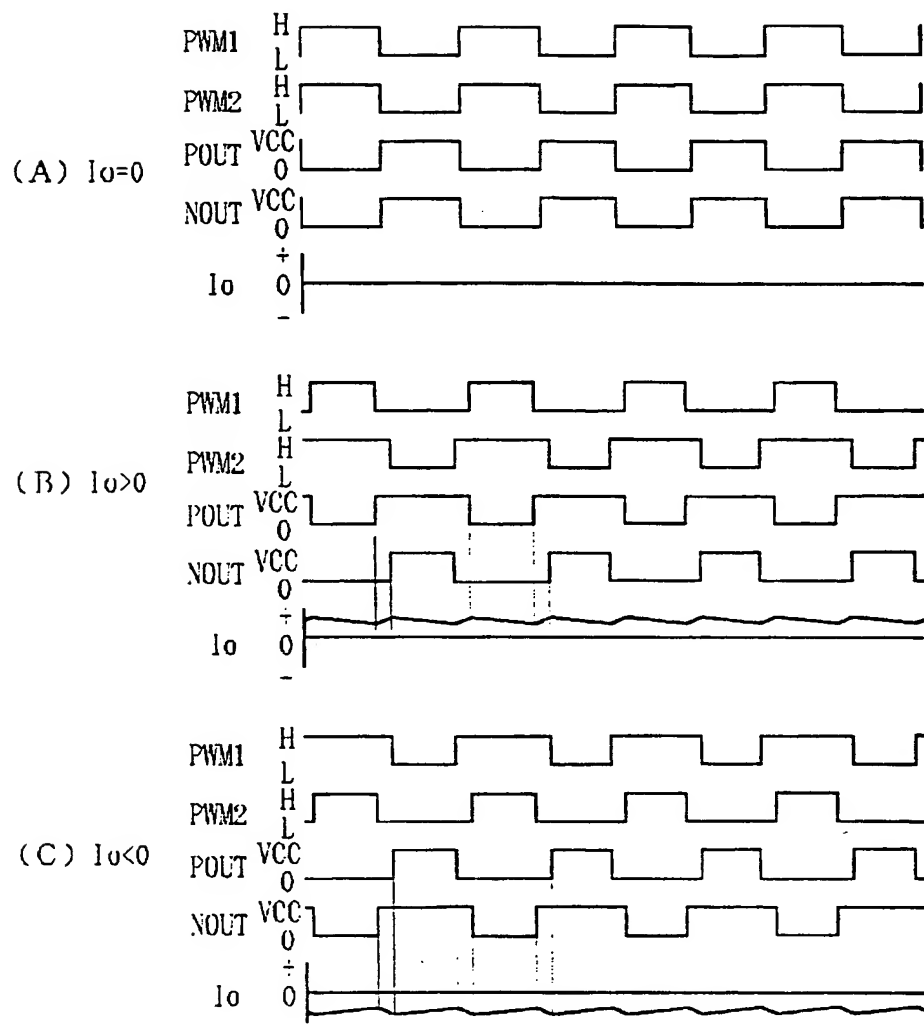
 上記 PWM キャリア信号発生回路で形成されたクロック信号を用い

たチャージポンプ回路により、上記第 1 と第 3 ドライバに対して上記第 1 電圧に対してしきい値電圧分以上に高くされた昇圧電圧を動作電圧として供給する昇圧回路とを更に備えてなることを特徴とする半導体集積回路装置

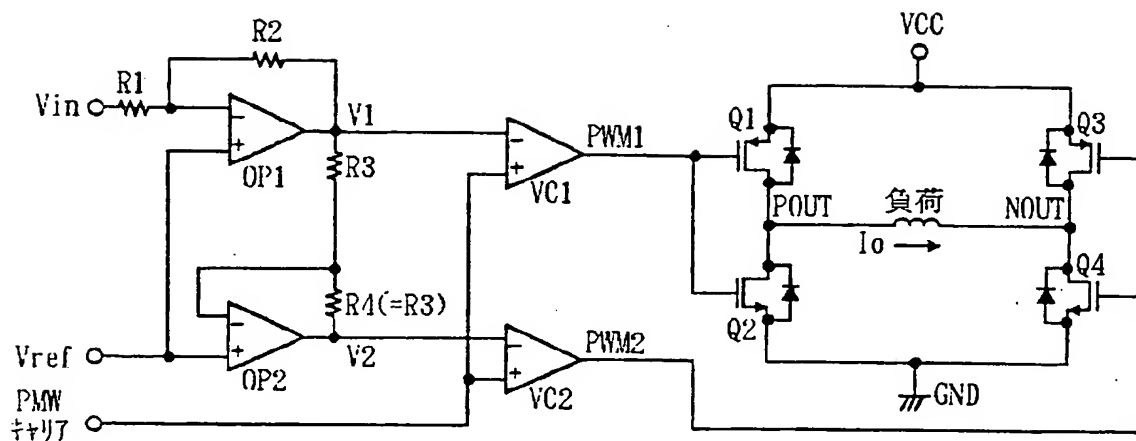
第 1 図



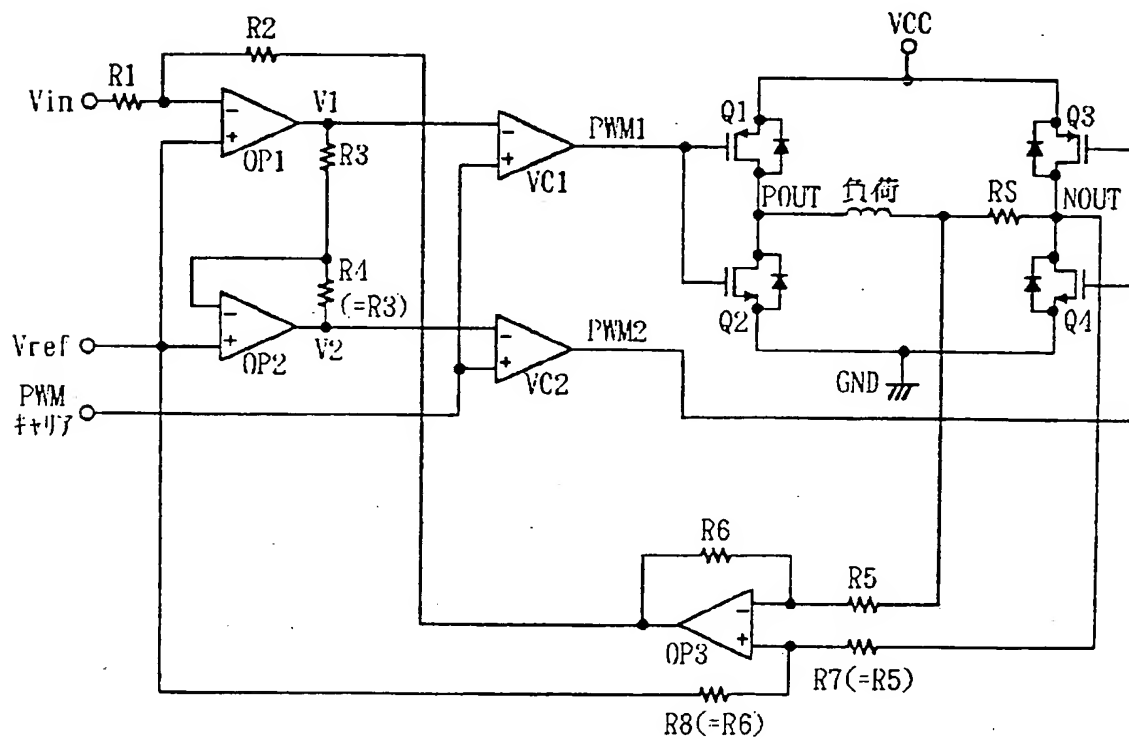
第 2 図



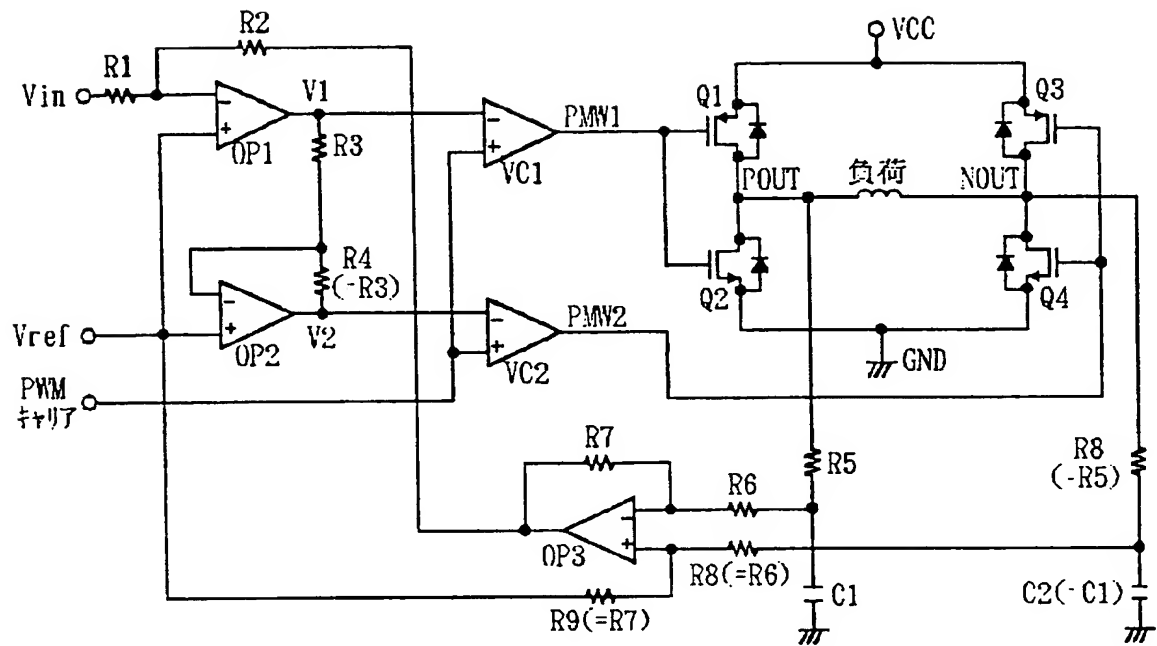
第 3 図



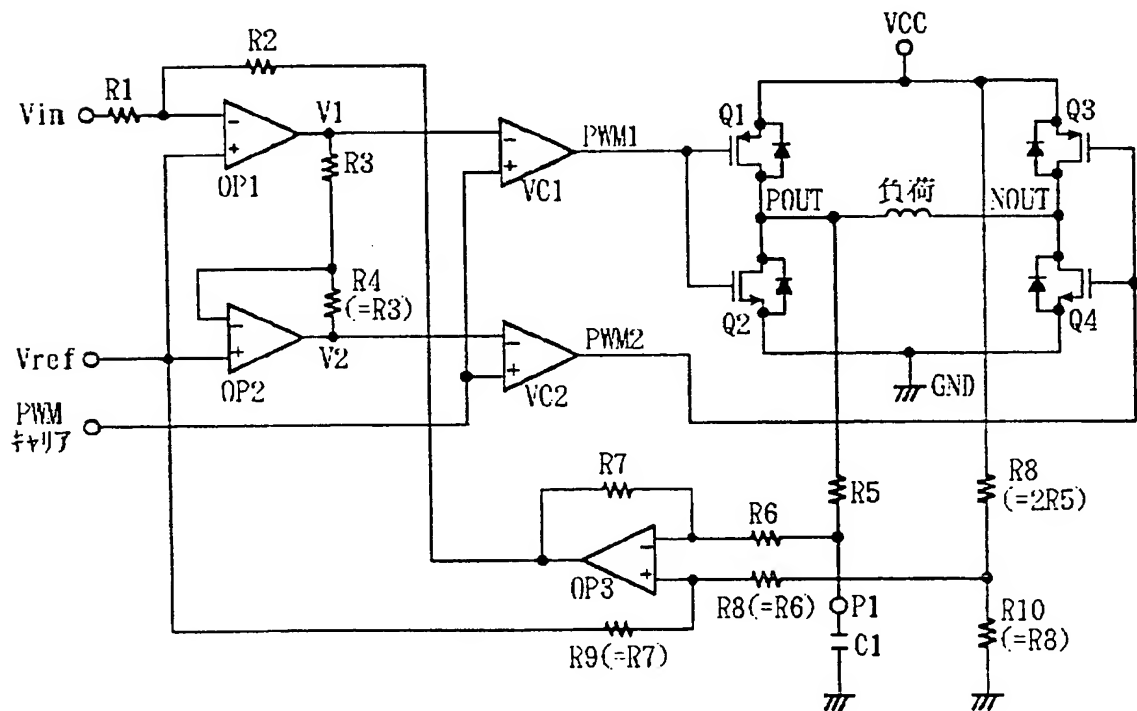
第 4 図



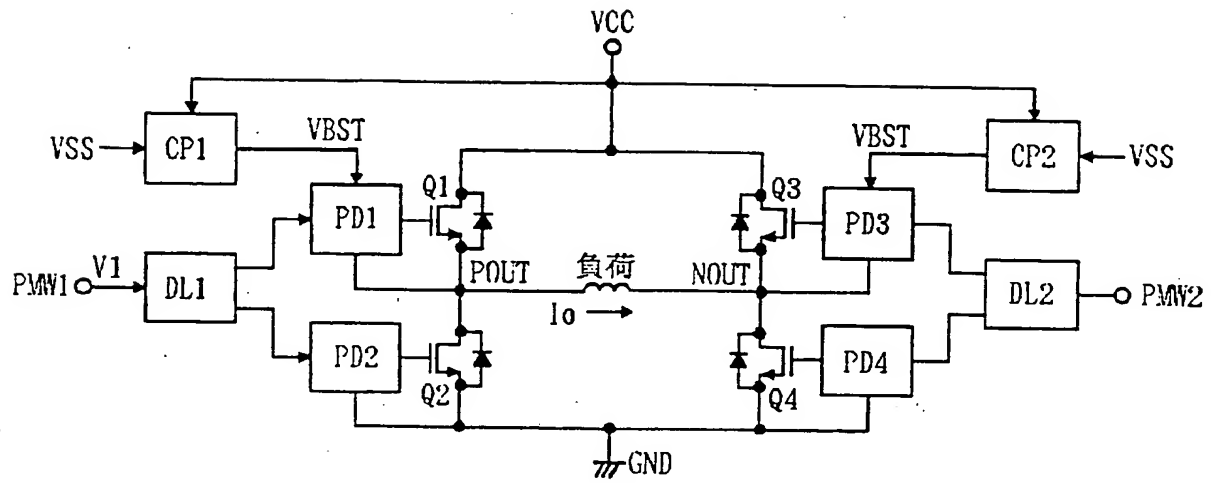
第 5 図



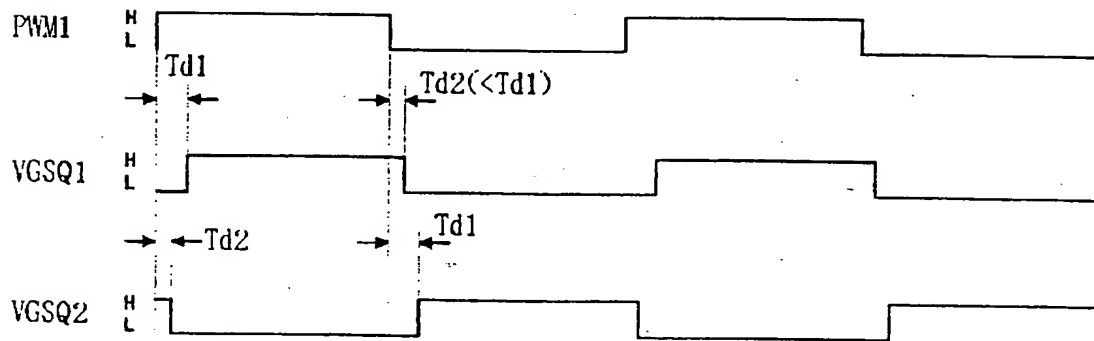
第 6 図



第 7 図

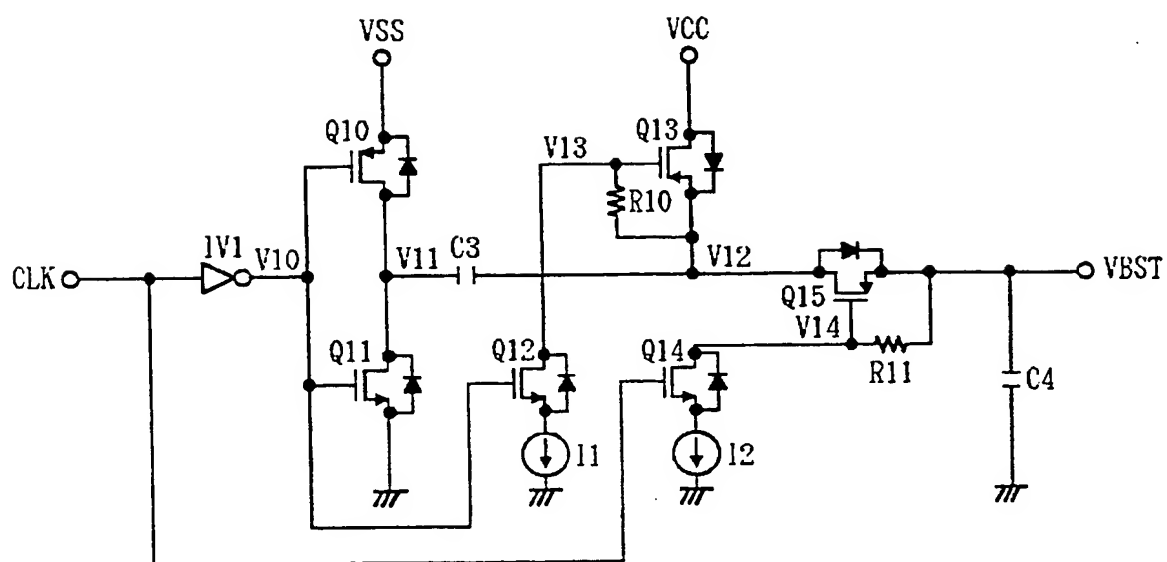


第 8 図

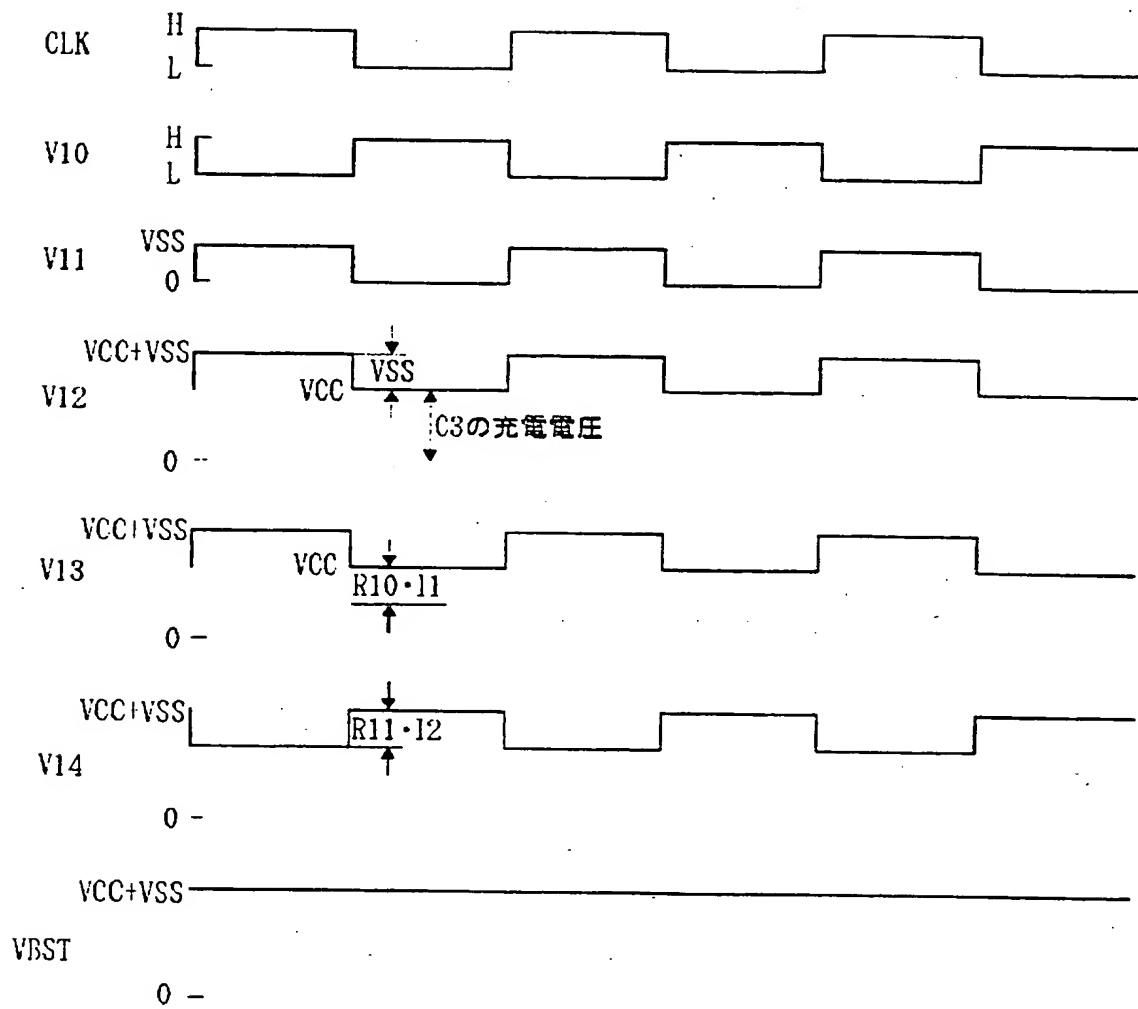


Td1, Td2: 遅延時間

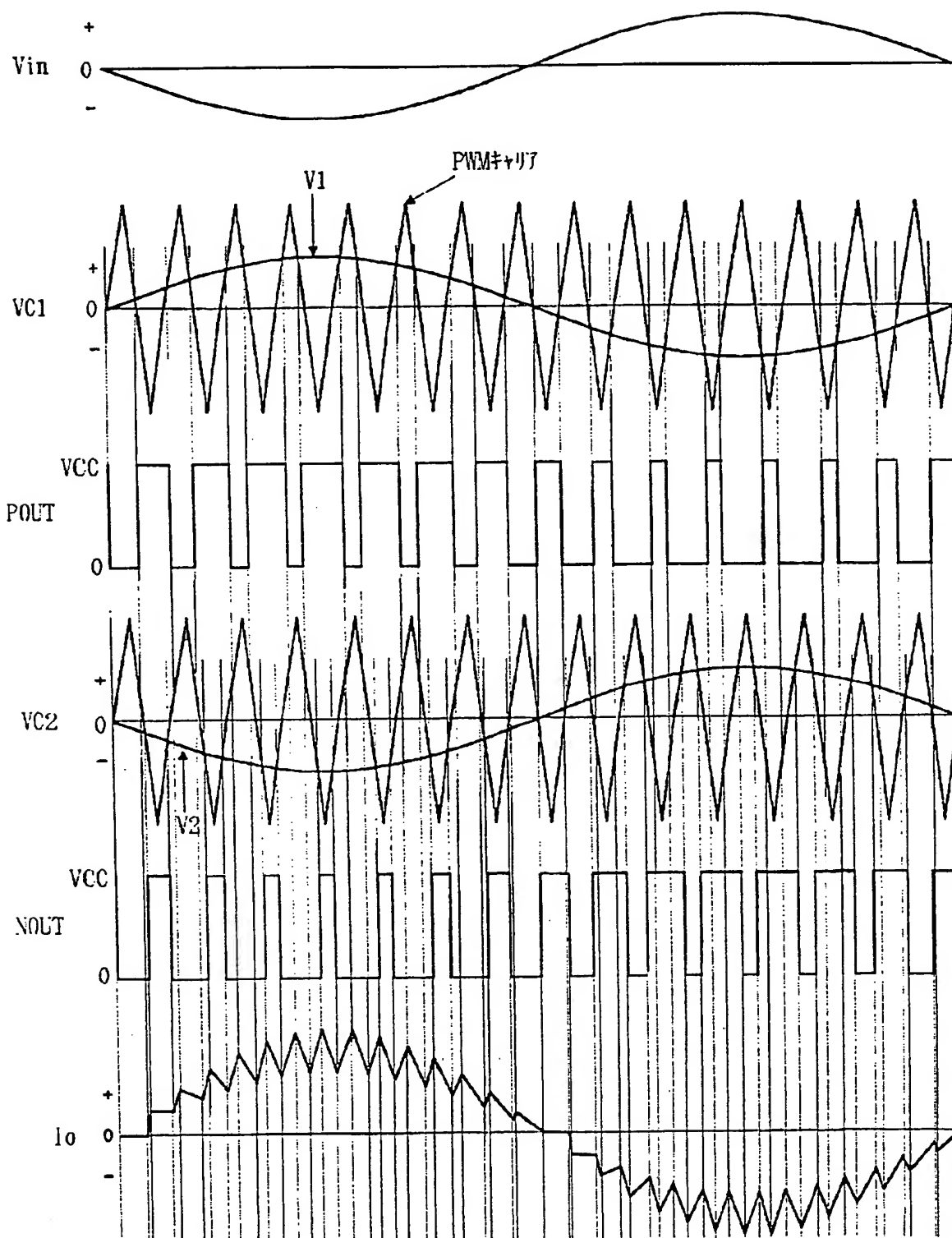
第 9 図



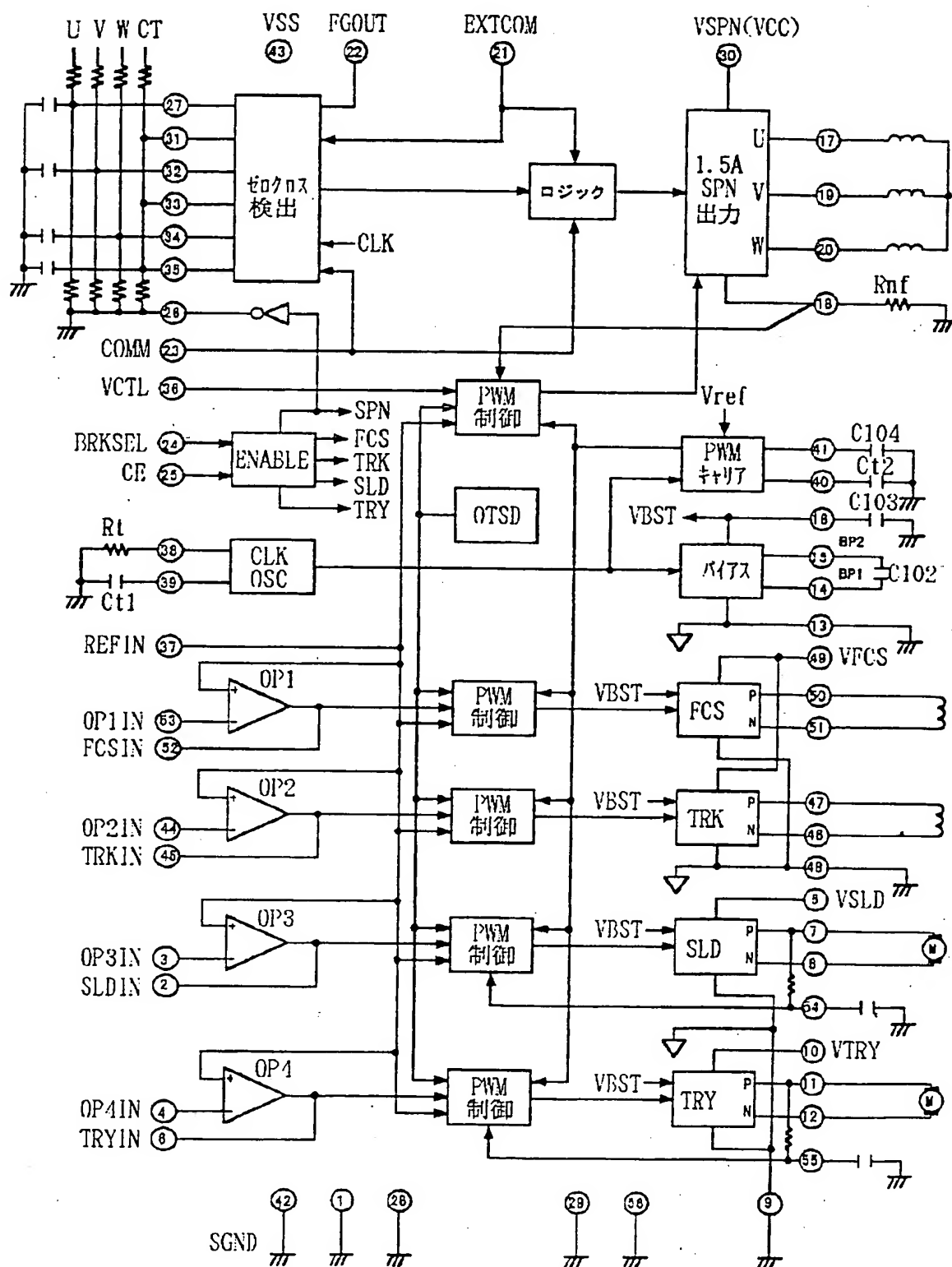
第 1 0 図



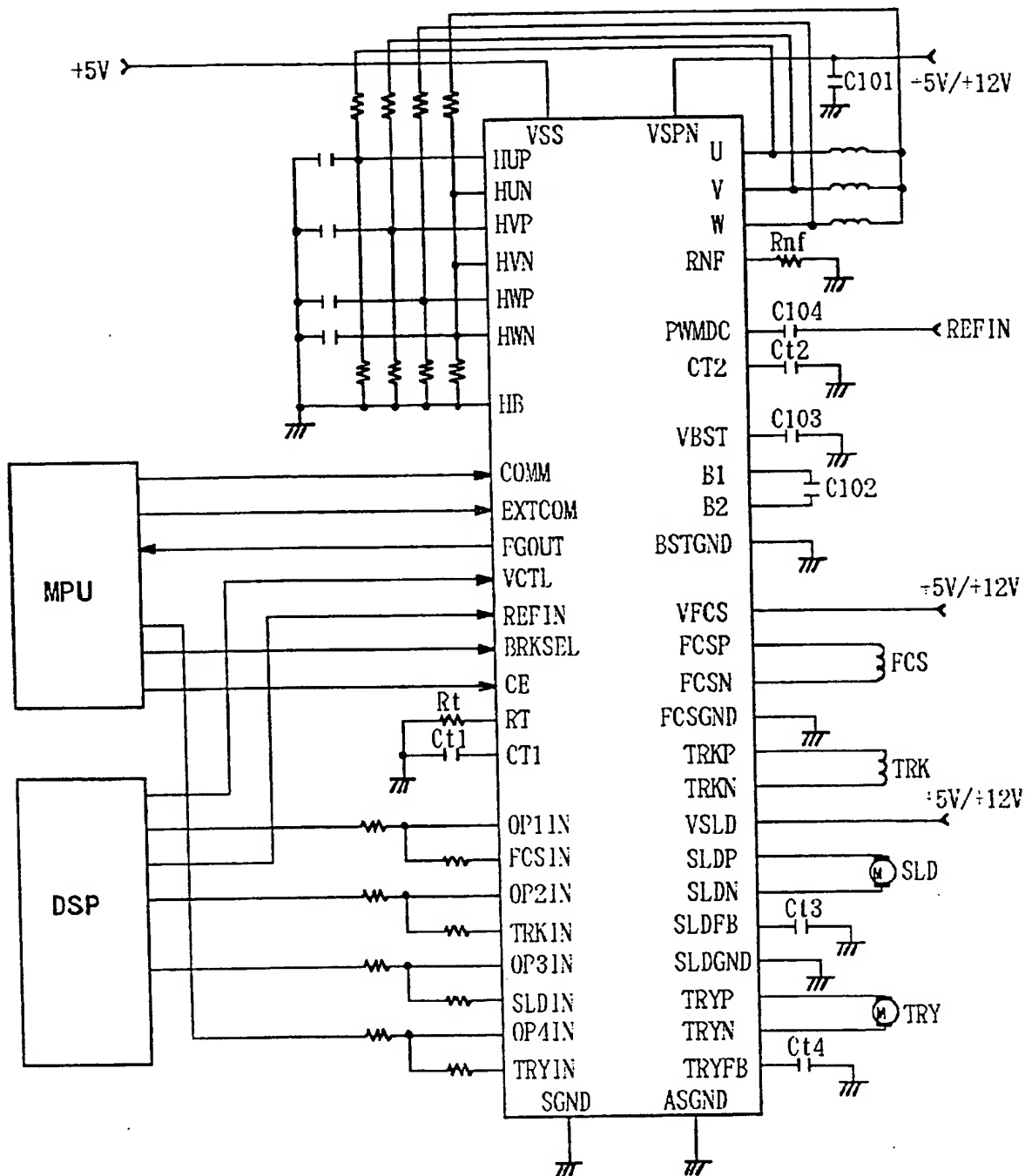
第 1 1 図



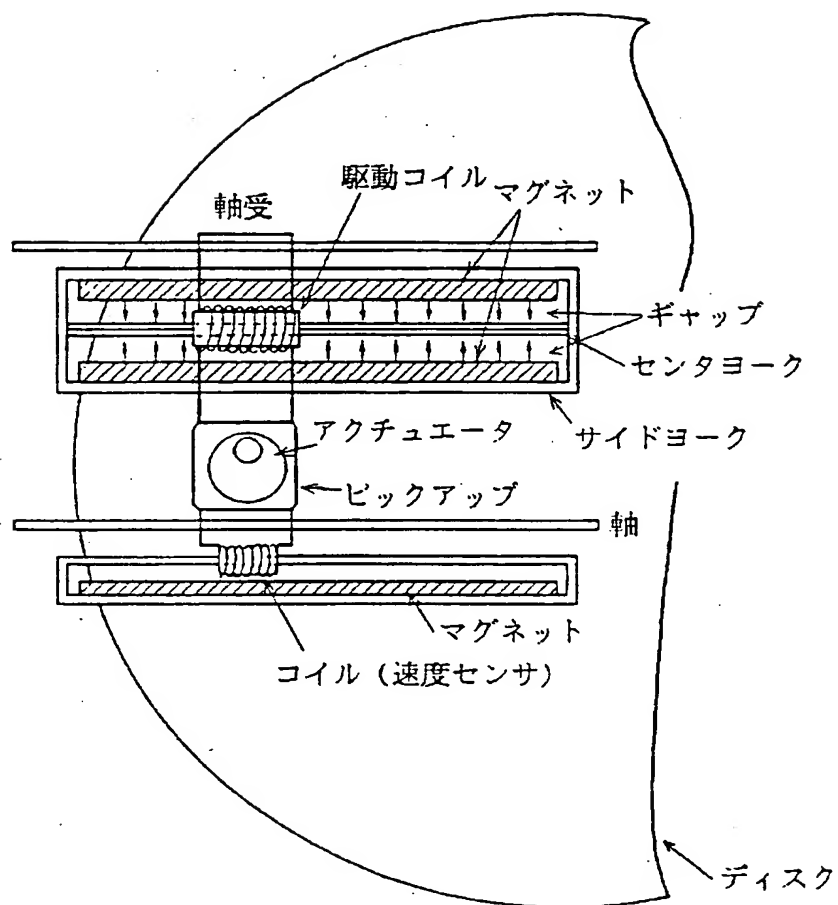
第 1 2 图



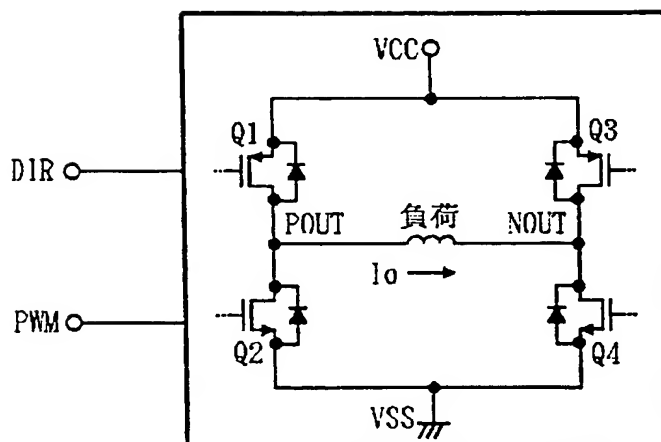
第 1 3 図



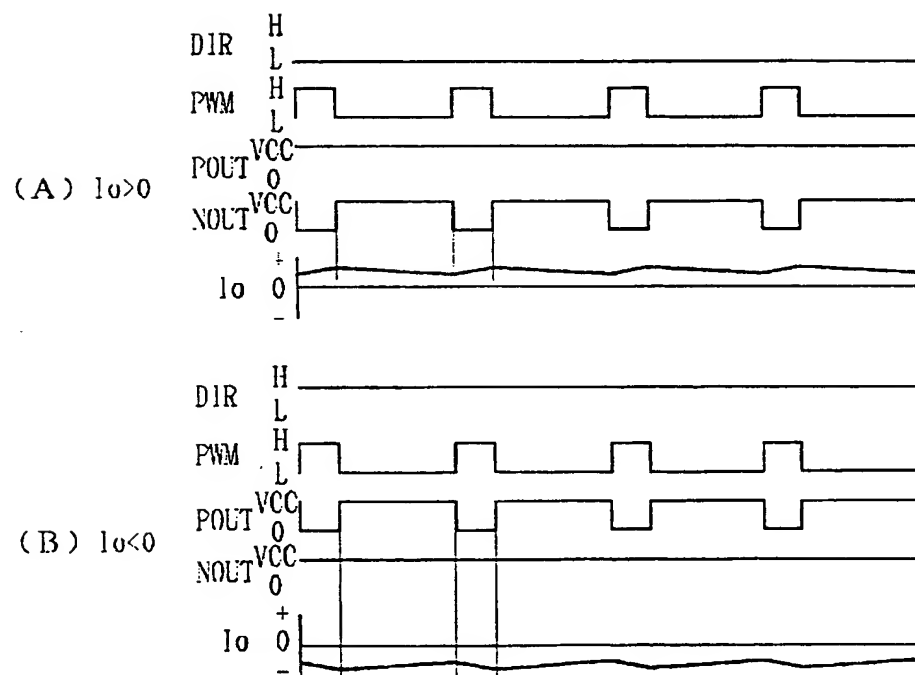
第 1 4 図



第 1 5 図



第 1 6 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/02807

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H02M7/48, H02M7/5387, H02P7/29

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H02M7/42-7/98, H02P5/17, H02P7/29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999

Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP, 9-121591, A (SGS Thomson Microelectronics S.R.L.), 6 May, 1997 (06. 05. 97) & EP, 760552, A1	1-5, 13 6-11, 14 12
Y	JP, 61-66588, A (Hitachi, Ltd.), 5 April, 1986 (05. 04. 86) (Family: none)	6
Y	JP, 63-314165, A (Matsushita Electric Works, Ltd.), 22 December, 1988 (22. 12. 88) (Family: none)	7-11, 14
Y	JP, 2-290195, A (Delco Electronics Corp.), 30 November, 1990 (30. 11. 90) & US, 4924158, A & EP, 391574, A1	8, 14
Y	JP, 60-255089, A (Mitsubishi Electric Corp.), 16 December, 1985 (16. 12. 85) (Family: none)	9-11
Y A	JP, 6-83402, A (Toshiba Corp.), 25 March, 1994 (25. 03. 94) (Family: none)	11 12

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 August, 1999 (23. 08. 99)Date of mailing of the international search report
31 August, 1999 (31. 08. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H02M 7/48, H02M 7/5387, H02P 7/29

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H02M 7/42 - 7/98, H02P 5/17, H02P 7/29

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1999年
 日本国実用新案登録公報 1996-1999年
 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 9-121591, A (エスジーエーストムソン・マイクロ	1-5, 13
Y	エレクトロニクス S. R. L.) 06.05月. 1997 (0	6-11, 14
A	6.05.97) & EP, 760552, A1	12
Y	J P, 61-66588, A (株式会社日立製作所) 05.04	6
Y	月. 1986 (05.04.86) (ファミリーなし)	
Y	J P, 63-314165, A (松下電工株式会社) 22.12	7-11, 14
Y	月. 1988 (22.12.88) (ファミリーなし)	
Y	J P, 2-290195, A (デルコ・エレクトロニクス・コーポ	8, 14
	レーション) 30.11月. 1990 (30.11.90) & U	
	S, 4924158, A & EP, 391574, A1	
Y	J P, 60-255089, A (三菱電機株式会社) 16.12	9-11
	月. 1985 (16.12.85) (ファミリーなし)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.08.99

国際調査報告の発送日

31.08.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松浦 功

3 V

9181

電話番号 03-3581-1101 内線 3358

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 6-83402, A (株式会社東芝) 25.03月.19 94 (25.03.94) (ファミリーなし)	11 12

THIS PAGE BLANK (USPTO)